

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244275

(43)Date of publication of application : 07.09.2001

(51)Int.Cl. H01L 21/331
H01L 29/73
H01L 21/205
H01L 21/3065

(21)Application number : 2000-283976 (71)Applicant : ST MICROELECTRONICS SA
(22)Date of filing : 19.09.2000 (72)Inventor : CHANTRE ALAIN
MARTY MICHEL
BAUDRY HELENE

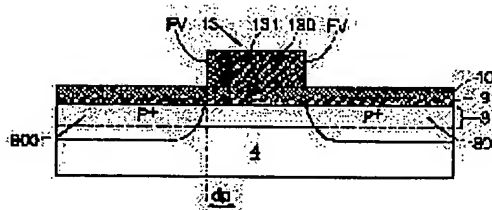
(30)Priority

Priority number : 1999 9911895 Priority date : 23.09.1999 Priority country : FR

(54) METHOD FOR MANUFACTURING SELF-ALIGNED VERTICAL BIPOLAR TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a self-aligned vertical bipolar transistor.
SOLUTION: The method for manufacturing the bipolar transistor comprises a process in which a base region 8 having an extrinsic base 800 and an intrinsic base is formed. The method comprises a process which forms an emitter region comprising an emitter block having a comparatively narrow lower part arranged in an emitter window formed above the intrinsic base. When the extrinsic base is formed, the implantation of impurities is executed so as to be self-aligned with respect to the emitter window, by being separated by a predetermined distance from the boundary in the lateral direction of the emitter window on both sides of the emitter window after the emitter window is prescribed and before the emitter block is formed.



LEGAL STATUS

[Date of request for examination] 15.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3386787

[Date of registration] 10.01.2003

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-244275

(P2001-244275A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/331
29/73
21/205
21/3065

H 0 1 L 21/205
29/72
21/302

J

審査請求 有 請求項の数10 O L 外国語出願 (全 33 頁)

(21) 出願番号 特願2000-283976 (P2000-283976)

(22) 出願日 平成12年9月19日 (2000.9.19)

(31) 優先権主張番号 9 9 1 1 8 9 5

(32) 優先日 平成11年9月23日 (1999.9.23)

(33) 優先権主張国 フランス (F R)

(71) 出願人 398048925

エスティマイクロエレクトロニクス エス
エー

フランス、エフ92120、モンルージュ、ブ
ールヴァール・ロマン・ロラン 29

(72) 発明者 アラン・シャントル

フランス38180セイシシ、ルー・ドゥ・ブ
リメヴェール 32

(74) 代理人 100081721

弁理士 岡田 次生

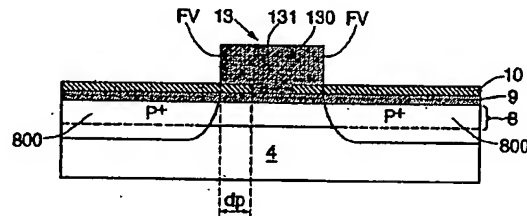
最終頁に続く

(54) 【発明の名称】 セルフアラインされた縦型のバイポーラトランジスタを製造する方法

(57) 【要約】

【課題】 セルフアラインされた縦型バイポーラトランジスタを製造する方法を提供する。

【解決手段】 バイポーラトランジスタを製造する方法は、外部ベース800および真性ベースを有するベース領域8を形成する段階と、前記真性ベース上に設けられたエミッタウィンドウ内に配置された比較的狭く低い部分を有するエミッタブロックを有するエミッタ領域を形成する段階とを備え、前記外部ベースの形成には、前記エミッタウィンドウの規定の後であって前記エミッタブロックが形成される前に、前記エミッタウィンドウの両側において、前記エミッタウィンドウの横方向の境界から予め定められた距離だけ離れて、このエミッタウィンドウに関してセルフアラインされるように実行される不純物の打ち込みが含まれる。



【特許請求の範囲】

【請求項1】 バイポーラトランジスタを製造する方法であって、

外部ベース(800)および真性ベースを有するベース領域(8)を形成する段階と、

前記真性ベース上に設けられたエミッタウィンドウ内に配置された比較的狭く低い部分(140)を有するエミッタブロックを有するエミッタ領域(14)を形成する段階とを備え、

前記外部ベースの形成には、

前記エミッタウィンドウの規定の後であって前記エミッタブロックが形成される前に、前記エミッタウィンドウの側部において、前記エミッタウィンドウの横方向の境界から予め定められた距離(dp)離れて、このエミッタウィンドウに関してセルフアラインされるように実行される不純物の打ち込み(800)が含まれる方法。

【請求項2】 請求項1に記載の方法であって、

酸化物ブロック(13)が、真性ベース上に形成された絶縁層(8, 10)上に形成され、

この酸化物ブロックは、前記絶縁層にエッチングされた開口部(OF)へと広がる比較的狭い下方の部分(130)と、前記絶縁層上に設けられている比較的広い上方の部分(131)とを有しており、

エッチングされた前記開口部の寸法は、エミッタウィンドウの寸法に対応しており、

前記絶縁層内のエッチングされた前記開口部の横方向の端部(FV)は、前記上方の部分(13)の横方向の端部(FV)に関してセルフアラインされており、

その後、前記外部ベース打ち込みが前記酸化物ブロックの前記上方の部分の側部において実行される方法。

【請求項3】 請求項2に記載の方法であって、

前記酸化物ブロックの形成は、

前記絶縁層上に犠牲層(11)を形成することと、フォトリソグラフィおよびその後エッチングを行うことによって前記犠牲層内に、前記酸化物ブロックの前記上方の部分の寸法に対応する寸法を有する穴を形成することと、

酸化物堆積およびその後樹脂を用いないウエハ全体の異方性エッチングを行うことによって、前記穴の内部縦側壁および前記絶縁層上にスペーサを形成することと、前記開口部(OF)を形成するように、前記スペーサ間において前記絶縁層(10)を部分的にエッチングすることと、

前記スペーサ間に配置されたくぼみおよび前記開口部

(OF)に酸化物を充填することと、前記酸化物ブロック(13)が前記絶縁層上に残留するように前記犠牲層を除去することとを含み、

前記スペーサ間の隙間が前記エミッタウィンドウの幅を規定し、

前記外部ベース打ち込みが前記酸化物ブロックの側部に

おいて為される方法。

【請求項4】 請求項3に記載の方法であって、

前記絶縁層は、例えばシリコン酸化物のような第1の誘電体を含んで形成された第1のサブレイヤ(9)を有し、その上には第2の誘電体を含んで形成された第2のサブレイヤ(10)があり、

前記スペーサ(12)および前記酸化物ブロック(1

3)は第1のシリコン酸化物を含んで形成されており、

前記犠牲層中の前記穴のエッチングおよび前記スペーサ

(12)のエッチングは、前記第2の絶縁サブレイヤに達すると終了するように実行され、

前記エミッタウィンドウの寸法に対応する寸法を有する前記開口部(OF)は、前記第2の絶縁サブレイヤ(10)内にエッチングされる方法。

【請求項5】 請求項4に記載の方法であって、

前記犠牲層(11)はポリシリコンを含んで形成される方法。

【請求項6】 請求項4に記載の方法であって、

前記犠牲層(11)はシリコン-ゲルマニウムを含んで形成される方法。

【請求項7】 請求項5または請求項6に記載の方法であって、前記犠牲層(11)の除去は、

臭化水素酸および酸素からなるガス混合物を用いて、10のオーダーの体積比および15mTorrよりも大きな圧力で等方性プラズマエッチングを行うことを含む方法。

【請求項8】 請求項2~7のうちの1つに記載の方法であって、エミッタの製造が、

前記酸化物ブロック(13)と、前記絶縁層(9)のうち前記エミッタウィンドウ内に位置する部分とをエッチングすることと、

前記絶縁層のうちエッチングされていない部分上と、前記真性ベースのうち前記エミッタウィンドウ内に位置する部分上とにポリシリコン層を形成することと、

前記エミッタブロック(14)を形成するように、前記ポリシリコン層をエッチングすることとを備える方法。

【請求項9】 前記請求項のうちの1つに記載の方法であって、

ベース(8)は、SiGeヘテロ接合を有するベースであり、

前記ベース領域の形成には、シリコン-ゲルマニウムおよびシリコン層(80~82)のスタックのエピタキシャル成長が含まれる方法。

【請求項10】 請求項9に記載の方法であって、エミッタの製造は、

単結晶シリコンを含んで形成されており前記スタックの上方の層に直接的に接続されるエミッタ領域が少なくとも前記ウィンドウ上において得られるように、前記エミッタ上においてベーススタックの上方の表面をエピタキシャル成長させることを含む方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は縦型バイポーラトランジスタ、特に高周波VLS (very-large-scale) 集積技術に組み込まれるものに関しており、とりわけ、これらのトランジスタの外部ベースおよびエミッタウィンドウの製造に関する。

【0002】

【従来の技術】エミッタがポリシリコン製の (poly silicon-emitter) バイポーラ技術においては、エミッタ領域は一般に、「エミッタウィンドウ (emitter window)」と呼ばれるウィンドウの中に位置する比較的狭くて下方の部分に有するエミッタブロック (block) を備えている。これは、トランジスタの真性 (intrinsic) ベースの上方に設けられている。エミッタブロックはさらに、エミッタウィンドウを超えて広がっておりベース領域の上方の (一般には2つの絶縁サブレイヤから形成されている) 絶縁層上に配置されている比較的広い上方の部分に有している。

【0003】外部ベースの打ち込み (implantation) は、エミッタの比較的広い上方の部分のいずれの側においても行われる。

【0004】一方ではエミッタブロックのエミッタウィンドウおよび他方ではエミッタブロックの上方の部分がそれぞれ、2つの別個のフォトリソグラフィ段階 (level) および結果的に2つのフォトリソグラフィマスクを用いて規定される (defined)。

【0005】さらに、エミッタから始まる (coming from) エミッタウィンドウの下方の拡散された不純物領域と外部ベースの打ち込みされた領域の境界との間の接触を避けるために、エミッタを製造する際には、エミッタウィンドウの境界とエミッタブロックの上方の部分の境界との間の最短距離を指定する (specify) ことが必要である。この距離には、多くのパラメータ、特に、製造プロセスにおける許容誤差 (tolerance) のみならず熱アニール処理の間の打ち込みされた領域の拡大 (extension) が考慮されている。

【0006】さらに、2つのフォトリソグラフィマスク、すなわち2つのフォトリソグラフィ段階が用いられているので、前記距離を規定するためには、2つのフォトリソグラフィマスクの間のアライメント許容誤差を考慮することも必要である。さらに、このアライメント許容誤差を考慮するためには、エミッタウィンドウの境界とエミッタブロックの上方の部分の境界との間の前記距離が、エミッタの下方の拡散された領域と外部ベース領域との間の接触のどのような危険性をも回避するように増やされることが必要である。

【0007】その結果、2つの注入された外部ベース領

域の間に位置する真性コレクタの領域が意図的に増やされ、ベース・コレクタ容量が増加する。さらに、このアライメント許容誤差を考慮に入れると、エミッタウィンドウおよび外部ベース領域の間の距離が意図的に増加され、その結果、ベース接続 (access) 抵抗が増加する。

【0008】

【発明が解決しようとする課題】これら総てによって、トランジスタの特性にばらつきが生じ、同じウエーハから製造されたトランジスタの特性が不均一となり、これらのトランジスタの高周波動作が劣化する。この例としては、最大発振周波数 (電力利得停止周波数 (power gain cutout frequency)) の値が挙げられる。

【0009】このことには、総てのタイプの縦型バイポーラトランジスタ、とりわけ特に、高周波VLS集積技術に集積されるものであり、この点に関して、エピタキシャル成長されておりシリコン-ゲルマニウム (SiGe) ヘテロ接合を有するベースを有するものに対する不利益 (penalizing effect) がある。本発明は、これらの問題に対する解決法を提供することを目的とする。

【0010】本発明の1つの目的は、エミッタウィンドウに関して外部ベースがセルフアライン (自己整合) されている縦型バイポーラトランジスタを製造する方法、すなわちこれまで説明してきた従来技術とは異なるものを提案することである。

【0011】これは、従来技術に従うと、外部ベースがポリシリコンエミッタブロックに関してセルフアラインされており、エミッタウィンドウに関してはないからである。というのは、1つのフォトリソグラフィマスクが使用されているからであり、結果として、アライメント許容誤差が存在する。

【0012】

【課題を解決するための手段】従って、本発明は、外部ベースおよび真性ベースを有するベース領域を形成する段階と、前記真性ベース上に設けられたエミッタウィンドウ内に配置された比較的狭く低い部分を有するエミッタブロックを有するエミッタ領域を形成する段階とを備えるバイポーラトランジスタを製造する方法を提案する。

【0013】本発明の概略的な特徴に従うと、前記外部ベースの形成には、前記エミッタウィンドウの規定の後であって前記エミッタブロックが形成される前に、前記エミッタウィンドウの両端において、前記エミッタウィンドウの横方向の境界から予め定められた距離の分離れて、このエミッタウィンドウに関してセルフアラインされるように実行される不純物の打ち込みが含まれる。

【0014】打ち込みされた外部ベースの、エミッタウィンドウに関するセルフアライメントは、エミッタウィ

【0041】次に、200Åのオーダーの厚みを有するシリコン二酸化物の第1の絶縁サブレイヤ9が層81上に堆積される。

【0042】300Åのオーダーの厚みを有するシリコン窒化物(Si₃N₄)の第2の絶縁サブレイヤ10が、シリコン二酸化物の第1のサブレイヤ9上に堆積される。

【0043】エミッタウィンドウおよび真性ベースの作成について、特に図3～図8を参照しながら説明を行う。

【0044】簡便化および明確化のために、図3～図8は、真性コレクタ4上に設けられたベースウィンドウ170上に配置されているトランジスタの部分のみを例示する。

【0045】今回の例ではポリシリコンから形成されており例えば2000Åのオーダーの厚みを有するいわゆる「犠牲層(sacrificial layer)」11が、窒化物サブレイヤ10上に堆積される。次に、フォトリソグラフィマスクを用いて、従来のフォトリソグラフィによって、穴110が犠牲層11の中に定めら

れる。次に、ポリシリコンがサブレイヤ10までエッチングされ、図4に例示されるように前記穴110が形成される。

【0046】次に、例えばシリコン二酸化物SiO₂である酸化物の等角的な(conformal)被覆膜が、図4に例示されるブロック上に堆積される。その後、従来と同様に、既知の方法で、絶縁横方向領域すなわちスペーサ12が形成される。スペーサ12は、窒化物サブレイヤ10と犠牲層11内の穴110の内部の側壁とのいずれにももたれかかっている(bear on)。

これらのスペーサ12は、特に、ウエハ全体にわたって樹脂を用いずに(whole-wafer resinless)異方性のエッチングを行うことによって形成される。図5に例示される、スペーサ12間の隙間(separation) fは、エミッタウィンドウの幅を定める。

【0047】以下に詳細に示されるように、外部ベースの打ち込みは、スペーサの縦の側壁FVの両側において、すなわち、エミッタウィンドウの外部の境界から距離dpだけ離れて行われる。この距離dpは、拡散の後に広がる打ち込まれた外部ベース領域と、ベース領域の中のエミッタウィンドウの下に位置するN⁺⁺にドーブされ拡散された領域との間に接触がないことを確保するように予め定められ指定されている。このN⁺⁺領域はエミッタのドーブ(不純物の注入)から生ずるものであり、後に詳細に説明される。もちろん、距離dpは、製造工程におけるばらつきによる許容誤差の限度をも考慮している。

【0048】結果として、スペーサ12の形成を可能にする等角的な酸化物厚みのみならず穴110の寸法dの

値を、ウィンドウfのための所望の値のみならず距離dpのために指定される値を得るために調節する方法を、当業者は知るであろう。

【0049】例を示すと、0.6ミクロンという値が寸法dのために選ばれるかもしれない。この値は、底部での幅dpが約0.15ミクロンであるスペーサの形成に適合しており、結果的にエミッタウィンドウは0.3～0.4ミクロンの幅を有することになる。

【0050】図6に例示されるように、次に、絶縁窒化物サブレイヤ10のうちスペーサ12の間に位置する部分が、開口部OFが形成されるように、従来技術と同様の方法でエッチングされる。このエッチングは、第1の絶縁サブレイヤ10を形成する酸化物(SiO₂)に関しては選択的である。

【0051】エミッタウィンドウに対応する開口部OFを定めることおよび形成するためには何らのフォトリソグラフィ段階も必要ではなかったことに注目すべきである。結果として、開口部OFの縦の側壁fvが、スペーサの縦の側壁FVに関してセルフアラインされる。

【0052】次のステップでは、図6に例示される構成物(assembly)全体にわたって、エッチングによって形成された開口部OFのみならずスペーサ12間に位置するくぼみを埋めるように、厚い酸化物を堆積させる。この酸化物は次に、図7に例示されるように、酸化物ブロック13が得られるように、例えば化学機械研磨(CMP: chemical mechanical polishing)のような既知の従来の技術を用いて平坦化される。酸化物ブロック13は、絶縁サブレイヤ10の内部へと広がる比較的狭く比較的低い部分130と、エミッタウィンドウを越えて突き出ており絶縁スタック9および10を経由してベース領域8上に位置する(rest on)比較的広く比較的上方の部分とを有する。

【0053】次に、酸化物ブロック13の両側に位置する犠牲層11が、エッチングによって除去される。このエッチングは、等方性エッチングであることが好ましい。というのは、等方性エッチングは、一方では酸化物ブロック13を構成するシリコン二酸化物SiO₂に関して、他方では第2のサブレイヤ10を構成するシリコン窒化物に関して、高い選択性を示すからである。この高選択性およびこの優れた等方性によって、図8に例示されるように、酸化物ブロック13に関して殆ど垂直な側壁FVを得ることが可能になる。

【0054】そのようなエッチングは、臭化水素酸(hydrobromic acid)および酸素の混合物を成分とするプラズマガスを用いながら、およそ10(酸素よりも臭化水素酸の方が10倍多い)の体積比で、15mTorrよりも高い圧力で実行される。その結果、シリコン二酸化物に対しておよそ200であり、シリコン窒化物に対しては約10という選択性が得られ

る。

【0055】次に、 P^+ 打ち込みが酸化物ブロックの両側において為され、打ち込みが為された外部ベース領域 800 が形成される。

【0056】単一のフォトリソグラフィマスクが縦の側壁 FV およびエミッタウィンドウを定めるために必要とされるので、外部ベース打ち込みは結果的に、エミッタウィンドウに関してセルフアラインされる。

【0057】その結果、エミッタウィンドウの境界を打ち込みが為された外部ベースの境界から隔てる予め定められた距離 d_p を指定するためのフォトリソグラフィマスクのアライメント許容誤差を考慮する必要はない。その結果、距離 d_p の許容誤差が呼応して、特に約 0.18 ミクロン分低減される。この値は、現状では、2つのフォトリソグラフィマスクに関する最小のアライメント許容誤差を表す。

【0058】次に、酸化物ブロック 13 と絶縁サブレイヤ 9 のうち酸化物ブロック 13 の下方にある部分が除去され、図 9 の構造物が得られる。図 9 には、得られる構造全体が、すなわちベースウィンドウを超えて、再び例示されている。酸化物ブロック 13 は、フッ化水素酸の水槽の中で化学エッチングを行うという既知の方法によって、従来通りに除去されても良い。

【0059】化学的にクリーンな単結晶シリコン表面、すなわち酸素原子の密度が 10^{15} cm^{-2} よりも少ないものを得ることを可能にするために、エミッタウィンドウ内において、約 1% に希釈されたフッ化水素酸の水槽を用いて一分間化学的な還元処理を実行しても良い。そのような化学的な還元によっては、下方に位置する単結晶シリコン表面は劣化されず、その結果、結晶欠陥は引き起こされない。

【0060】エミッタウィンドウ内のシリコンの表面状態をさらに向上させるためには、還元の際にシリコンの表面に吸着した残留不純物が除去されるように、水素中で脱着処理を高温で (550℃ よりも高い) 実行することが好ましい。

【0061】次に、トランジスタのためのエミッタが、例えばリファレンス CENTURA HTF という名称で APPLIED MATERIALS によって販売される容器である超清浄 CVD 堆積容器内で作成される。

【0062】より詳細には、露出されるベースを有する半導体ブロックが、エミッタウィンドウ内において、典型的には真空引きされているかまたは水素内の非酸化雰囲気中のシランおよびヒ化水素 (arsine) からなるガス混合物に曝される。

【0063】CVD 堆積の条件は、例えば、630℃、80 Torr で、一分間あたり 10 リットルの水素という流量、一分間あたり 0.5 リットルのシランという流量、および一分間あたり 0.12 cm^3 のヒ化水素という流量である。

【0064】これらの条件が実際にはポリシリコンの堆積に対応していることに当業者は気付いたであろう。しかしながら、エミッタウィンドウ内において露出されているベースの単結晶表面の化学的にクリーンな性質によって、この容器内で堆積されたシリコンはエピタキシャル成長、すなわちベース上において単結晶層として成長する。

【0065】2500 Å のオーダーの厚みを有するシリコン層を形成した後に、シリコン層は従来どおり、新しいフォトリソグラフィマスクおよび対応する型 (block) の樹脂を用いてエッチングされる。その結果、エミッタウィンドウ内において、エミッタウィンドウよりも広い上方の部分 141 が上に付いている下方の部分 140 を有するエミッタ 14 が得られる。このエミッタはその場で (in situ) 堆積されており、少なくともエミッタウィンドウ内のベースとの境界面の近くでは単結晶である (図 10)。

【0066】実際には、境界面の近くではそれは単結晶であり、窒化物の上では多結晶であることが判明している。また、エミッタウィンドウ上のエピタキシャル成長した上方の部分に好ましい配向 (orientation) を有することが判明している。

【0067】次に、シリコン窒化層 10 を含み、エミッタの上部の領域 141 の縦の側壁およびシリコン二酸化物層 9 に寄りかかるスペーサ 120 が得られるように、シリコン窒化物層が堆積されエッチングされる (図 11)。

【0068】新しいマスクを使って、トランジスタのベースの形状が規定される。そして、酸化物層 9 を予備的にエッチングした後に、層 17 および 8 のスタックが、図 11 に例示される構造が得られるように、エッチングされる。

【0069】最終的な工程では、ベース、エミッタおよびコレクタ接合領域 S を、シリサイド TiSi_2 を形成するために金属 (例えばチタン) の層を堆積することを含む「セルフアラインされたシリサイド」タイプの既知の技術を用いて、外部ベース、外部エミッタおよび外部コレクタのシリコン領域上に形成する。

【0070】その結果、本発明のトランジスタは、図 12 に例示されるように、シリコン-ゲルマニウムヘテロ接合を有する NPN 縦型バイポーラトランジスタになり、これは VLSI タイプの BiCMOS 技術において使用される。外部領域はエミッタウィンドウに関してセルフアラインされている。

【0071】さらに、これまで説明されてきた実現方法においては、これに限定されるわけではないのだが、トランジスタは、上部の内部閉込層 (encapsulation layer) 82 のシリコンと直接的に接続されている単結晶エミッタを有する。しかしながら、特には不純物の拡散および様々な従来の熱処理によって、

エミッターベース接合は層82内に位置する。トランジスタのベース接続抵抗は、エミッタウィンドウに関する外部ベースのセルフアライメントによって、低減される。トランジスタの低周波数ノイズも低減され、十分静的なパラメータ、特に電流利得が維持される。その最大の発振周波数は最適化され、ポリシリコンエミッタを有するトランジスタと比較してエミッタ抵抗が低減される。

【図面の簡単な説明】

【図1】 本発明に従う方法を実現する方法の1つを例示する模式図である。

【図2】 本発明に従う方法を実現する方法の1つを例示する模式図である。

【図3】 本発明に従う方法を実現する方法の1つを例示する模式図である。

【図4】 本発明に従う方法を実現する方法の1つを例示する模式図である。

【図5】 本発明に従う方法を実現する方法の1つを例示する模式図である。

【図6】 本発明に従う方法を実現する方法の1つを例示する模式図である。

【図7】 本発明に従う方法を実現する方法の1つを例示する模式図である。

【図8】 本発明に従う方法を実現する方法の1つを例示する模式図である。

【図9】 本発明に従う方法を実現する方法の1つを例

示する模式図である。

【図10】 本発明に従う方法を実現する方法の1つを例示する模式図である。

【図11】 本発明に従う方法を実現する方法の1つを例示する模式図である。

【図12】 本発明に従う方法を実現する方法の1つを例示する模式図である。

【符号の説明】

8 ベース領域、絶縁層、ベース

9 第1のサブレイヤ

10 絶縁層、第2のサブレイヤ

11 犠牲層

12 スペース

13 酸化物ブロック

14 エミッタ、エミッタ領域

80～82 シリコンおよびシリコンゲルマニウム層

110 穴

130 比較的狭い下方の部分

131 比較的広い上方の部分

140 比較的狭い下方の部分

800 外部ベース

d 寸法

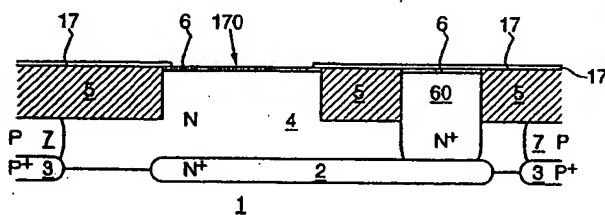
d p 予め定められた距離

f 隙間

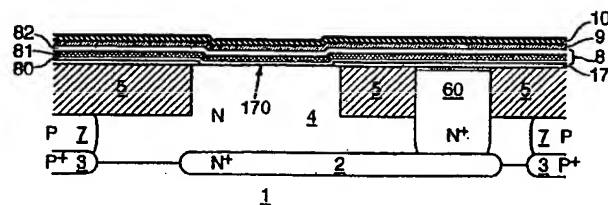
FV 横方向の端部

OF 開口部

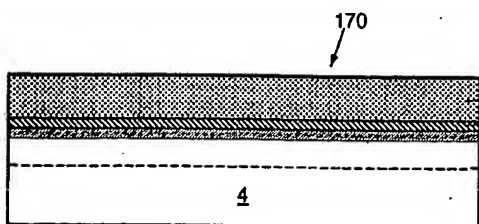
【図1】



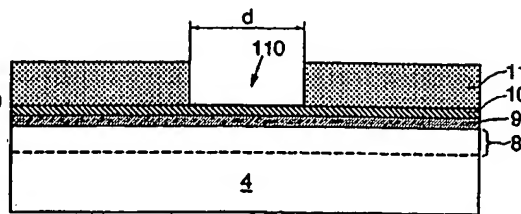
【図2】



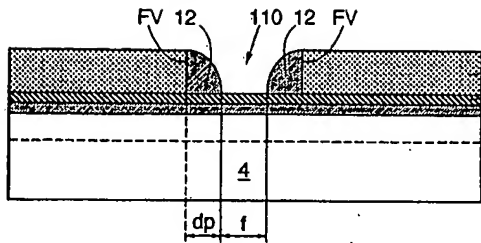
【図3】



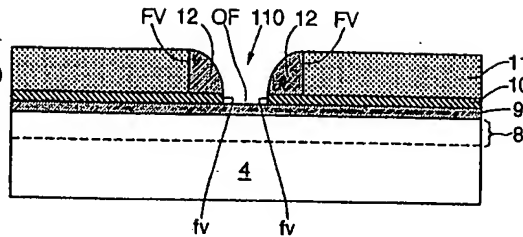
【図4】



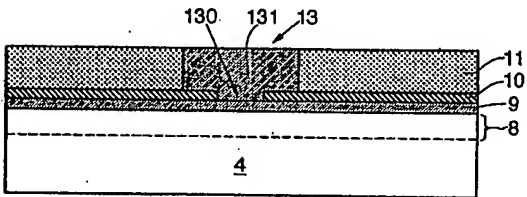
【図5】



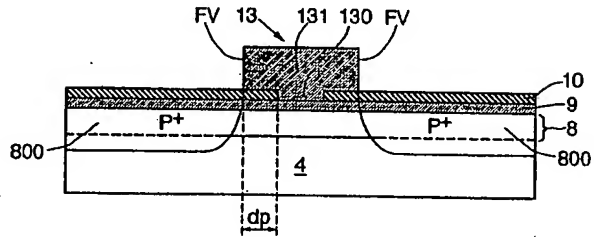
【図6】



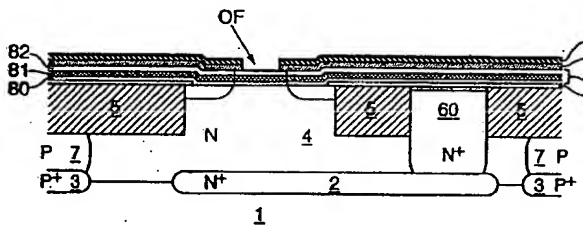
【図7】



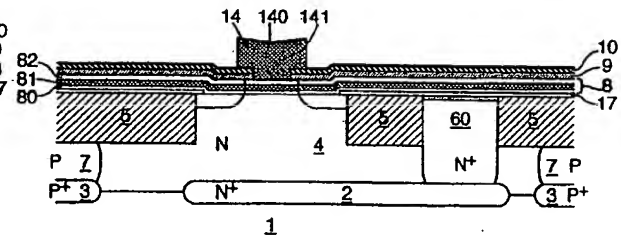
【図8】



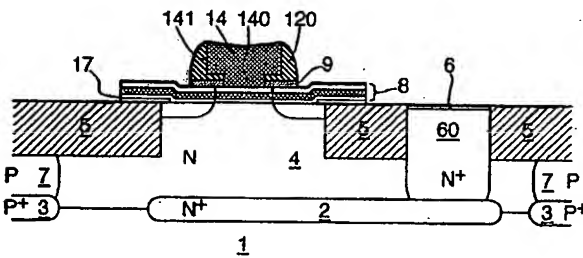
【図9】



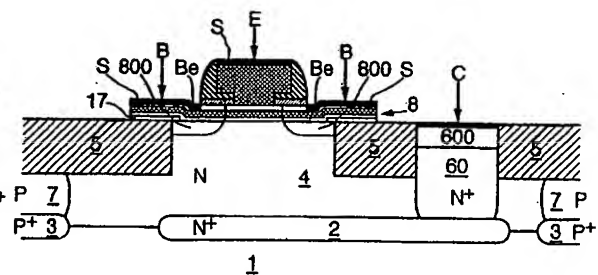
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 ミシェル・マーティー
フランス38760ヴァース、セント・ポー
ル・ドウ・ヴァース、ル・メインジェ (番
地なし)

(72)発明者 ヘレン・ポウドリー
フランス38100グレノーブル、ルー・ド
ウ・ラ・バジャティエル 56

【外国語明細書】

1. Title of Invention

**Process for fabricating a self-aligned vertical bipolar
transistor**

2. Claims

1. Process for fabricating a bipolar transistor comprising a phase of producing a base region (8) having an extrinsic base (800) and an intrinsic base and a phase of producing an emitter region (14) comprising an emitter block having a narrower lower part (140) located in an emitter window provided above the intrinsic base, characterized in that the production of the extrinsic base comprises the implantation of dopants (800), carried out after definition of the emitter window, on either side of and at a predetermined distance (dp) from the lateral boundaries of the emitter window, so as to be self-aligned with respect to this emitter window and before the emitter block is formed.

2. Process according to Claim 1, characterized in that an oxide block (13) is produced on an insulating layer (8, 10) formed above the intrinsic base, this oxide block having a narrower lower part (130) extending into an orifice (OF) etched in the insulating layer, the dimensions of which etched orifice correspond to those of the emitter window, and a wider upper part (131) resting on the insulating layer, the lateral edges (FV) of the etched orifice in the insulating layer being self-aligned with the lateral edges (FV) of the upper part (13), and implantation of the extrinsic base is then carried out on either side of the upper part of the oxide block.

3. Process according to Claim 2, characterized in that the production of the oxide block comprises:

- formation of a sacrificial layer (11) above the insulating layer, formation in the said sacrificial layer, by photolithography followed by etching, of a cavity (110) whose dimensions (d) correspond to the dimensions of the upper part of the oxide block;

- formation, by oxide deposition followed by whole-wafer resinless anisotropic etching, of spacers (12) resting on the insulating layer and on the

internal vertical walls of the said cavity, the separation (f) between the spacers defining the width of the emitter window;

- partial etching of the insulating layer (10) between the spacers so as to form the said orifice (OF);

- filling, with oxide, on the one hand of the recess located between the spacers (12) and on the other hand of the orifice (OF), and removal of the sacrificial layer so that the oxide block (13) is left on the insulating layer, the extrinsic base implantation taking place on either side of the oxide block.

4. Process according to Claim 3, characterized in that the insulating layer comprises a first sublayer (9) formed from a first dielectric, for example a silicon oxide, above which is a second sublayer (10) formed from a second dielectric, in that the spacers (12) and the oxide block (13) are formed from the first silicon oxide, in that the etching of the cavity in the sacrificial layer and the etching of the spacers (12) are carried out so as to stop on the second insulating sublayer (10) and in that the said orifice (OF), whose dimensions correspond to those of the emitter window, is etched in the second insulating sublayer (10).

5. Process according to Claim 4, characterized in that the sacrificial layer (11) is formed from polysilicon.

6. Process according to Claim 4, characterized in that the sacrificial layer (11) is formed from silicon-germanium.

7. Process according to Claim 5 or 6, characterized in that the removal of the sacrificial layer (11) comprises isotropic plasma etching using a gas mixture consisting of hydrobromic acid and oxygen in a volume ratio of the order of 10, and a pressure greater than 15 mTorr.

8. Process according to one of Claims 2 to 7, characterized in that production of the emitter

comprises etching of the oxide block (13) and of that part of the insulating layer (9) which is located in the emitter window, formation of a polysilicon layer on the unetched parts of the insulating layer and on that part of the intrinsic base which is located in the emitter window, and etching of the polysilicon layer so as to form the said emitter block (14).

9. Process according to one of the preceding claims, characterized in that the base (8) is a base with a SiGe heterojunction and in that formation of the base region comprises epitaxial growth of a stack of silicon and silicon-germanium layers (80-82).

10. Process according to Claim 9, characterized in that production of the emitter (14) comprises epitaxial growth, on the emitter window, of the upper surface of the base stack so as to obtain, at least above the said window, an emitter region formed from monocrystalline silicon and directly in contact with the upper layer of the said stack.

3. Detailed Description of Invention

The invention relates to vertical bipolar transistors, especially those intended to be integrated into high-frequency very-large-scale integration technologies, and in particular to the production of the extrinsic base and of the emitter window of these transistors.

In polysilicon-emitter bipolar technologies, the emitter region generally comprises an emitter block having a narrower lower part located in a window, called the "emitter window", provided above the intrinsic base of the transistor. The emitter block also has a wider upper part which extends beyond the emitter window and rests on an insulating layer (generally formed from two insulating sublayers) above the base region.

Implantation of the extrinsic base takes place on either side of the wider, upper part of the emitter.

Now, the emitter window on the one hand and the upper part of the emitter block on the other hand are defined, respectively, using two separate photolithography levels and consequently two photolithography masks.

Moreover, in order to avoid contact between the diffused dopant zone, beneath the emitter window coming from the emitter, and the boundary of the implanted zone of the extrinsic base, it is necessary, when producing the emitter, to specify a minimum distance between the boundaries of the emitter window and the boundaries of the upper part of the emitter block. This distance takes into account many parameters, especially the extension of the implanted zones during thermal anneals, as well as tolerances in the fabrication process.

Furthermore, since two photolithography masks, i.e. two photolithography levels, are used, it is also necessary for defining the said distance to take into

account the alignment tolerance between the two photolithography masks.

Furthermore, taking this alignment tolerance into account requires the said distance between the boundaries of the emitter window and the boundaries of the upper part of the emitter block to be increased so as to avoid any risk of contact between the diffused zone beneath the emitter and the extrinsic base region.

This therefore leads to the area of the intrinsic collector located between the two implanted extrinsic base zones being intentionally increased, with the consequence that the base-collector capacitance is increased.

Moreover, taking into account this alignment tolerance also leads to the distance between the emitter window and the extrinsic base zones being intentionally increased, with the consequence that the base access resistance is increased.

All this leads to dispersion in the characteristics of the transistor, to inhomogeneity in the characteristics of the transistors fabricated from the same wafer and leads to degradation of the high-frequency performance of these transistors, such as, for example, the value of the maximum oscillation frequency (power gain cutout frequency).

This has a penalizing effect on all types of vertical bipolar transistors, and most particularly for those intended to be integrated into high-frequency very-large-scale integrated technologies, and which in this regard have an epitaxially grown base with a silicon-germanium (SiGe) heterojunction.

The invention aims to provide a solution to these problems.

One object of the invention is to propose a way of fabricating a vertical bipolar transistor whose extrinsic base is self-aligned with respect to the emitter window, something which is not the case in the prior art that has just been mentioned.

This is because, according to that prior art, the extrinsic base is self-aligned with respect to the polysilicon emitter block but is not self-aligned with respect to the emitter window since two photolithography masks have been used, with the result that there is an alignment tolerance.

The invention therefore proposes a process for fabricating a bipolar transistor comprising a phase of producing a base region having an extrinsic base and an intrinsic base and a phase of producing an emitter region comprising an emitter block having a narrower lower part located in an emitter window provided above the intrinsic base.

According to a general characteristic of the invention, the production of the extrinsic base comprises the implantation of dopants, carried out after definition of the emitter window, on either side of and at a predetermined distance from the lateral boundaries of the emitter window, so as to be self-aligned with respect to this emitter window and before the emitter block is formed.

The self-alignment with respect to the emitter window of the implanted extrinsic base is obtained because the emitter window is defined using a single photolithography mask and because this extrinsic base implantation is carried out before the emitter block is formed. The invention is therefore distinguished from the prior art which provided self-alignment of the extrinsic base not with respect to the emitter window but with respect to the polysilicon emitter block, and in which prior art the implantation of the extrinsic base was furthermore carried out after the emitter block was formed.

The invention applies to any type of vertical bipolar transistor, whatever the type of base used, whether this be a conventional silicon base or else a base with a silicon-germanium heterojunction, and whatever the method of producing the base, whether by implantation or epitaxy, for example.

According to one method of implementing the invention, an oxide block is produced on an insulating layer formed above the intrinsic base (this insulating layer possibly being formed, for example, from two insulating sublayers made of two different dielectrics, for example silicon dioxide and silicon nitride). The oxide block has a narrower lower part extending into an orifice etched in the insulating layer, the dimensions of the etched orifice corresponding to those of the emitter window. The oxide block also has a wider upper part resting on the insulating layer, the lateral edges of the etched orifice in the insulating layer being self-aligned with the lateral edges of the upper part of the oxide block. The implantation of the extrinsic base is then carried out on either side of the upper part of the oxide block. Self-alignment with respect to the upper part of the oxide block, and consequently self-alignment with respect to the lateral edges of the etched orifice and therefore of the emitter window, are therefore obtained.

According to one method of implementation, the production of the oxide block comprises:

- formation of a sacrificial layer (for example made of polysilicon) above the insulating layer;
- formation in the sacrificial layer, by photolithography followed by etching, of a cavity whose dimensions correspond to the dimensions of the upper part of the oxide block;
- formation, by oxide deposition followed by whole-wafer resinless anisotropic etching, of spacers resting on the insulating layer and on the internal vertical walls of the said cavity, the spacing between the spacers defining the width of the emitter window;
- partial etching of the insulating layer between the spacers so as to form the said orifice;
- filling, with oxide, on the one hand of the recess located between the spacers and on the other hand of the orifice, and removal of the sacrificial layer so that the oxide block is left on the insulating

layer, the extrinsic base implantation taking place on either side of the oxide block.

The insulating layer preferably comprises a first sublayer formed from a first silicon oxide (for example SiO_2) above which is a second sublayer formed from a second dielectric (for example Si_3N_4). The spacers and the oxide block are formed from the first silicon oxide (for example SiO_2). The etching of the cavity in the sacrificial layer and the etching of the spacers are carried out so as to stop on the second insulating sublayer (Si_3N_4). The said orifice, whose dimensions correspond to those of the emitter window, is then etched in the second insulating sublayer (Si_3N_4).

The sacrificial layer may be made of polysilicon, or else of silicon-germanium, thereby making it easier to remove the sacrificial layer.

The sacrificial layer is preferably removed by isotropic plasma etching, using a gas mixture consisting of hydrobromic acid (HBr) and oxygen, in a volume ratio of the order of 10, at a pressure greater than 15 mTorr. In this way, very good selectivity both with respect to the material of the oxide block and with respect to the silicon nitride is obtained.

According to one method of implementing the invention, production of the emitter comprises etching of the oxide block and of that part of the insulating layer which is located in the emitter window, formation of a polysilicon layer on the unetched parts of the insulating layer and on that part of the intrinsic base which is located in the emitter window, and etching of the polysilicon layer so as to form the said emitter block.

The base may be a base with a silicon-germanium heterojunction and formation of the base region may comprise epitaxy of a stack of silicon-germanium layers.

Moreover, according to one method of implementing the invention, production of the emitter

may comprise epitaxy, on the emitter window, of the upper surface of the base stack so as to obtain, at least above the said window, an emitter region formed from monocrystalline silicon and directly in contact with the upper layer of the said stack.

Further advantages and characteristics of the invention will appear on examining the detailed description of an in no way limiting method of implementation and the appended drawings, in which Figures 1 to 12 illustrate schematically one method of implementing the process according to the invention.

In Figure 1, the reference number 1 denotes a silicon substrate, for example a p-type silicon substrate, on the surface of which an n⁺-doped buried extrinsic collector layer 2 has been conventionally produced, in a known manner, by arsenic implantation.

Likewise, two p⁺-doped buried layers 3 are conventionally produced, on either side of the extrinsic collector 2, by boron implantation.

Thick epitaxy is carried out, in a manner known per se, on the substrate 1 thus formed so as to produce a layer 4 of n-type monocrystalline silicon having a thickness typically of the order of 1 micron.

Next, a lateral isolating region 5 is produced in this layer 4, in a manner known per se, either by a localized oxidation process (or LOCOS) or a process of the "shallow trench" type.

A lateral isolating region 5 of the shallow-trench type has been shown in Figure 1 for the sake of simplification.

Also produced conventionally, especially by phosphorus implantation, is an n⁺-doped collector well 6 which makes contact with the buried layer 2.

Next, boron implantations are carried out so as to produce p-doped wells 7 under the lateral isolating region 5, allowing isolation with respect to the transistors adjacent to the bipolar transistor described here.

Next, a thermal oxide, typically silicon dioxide, is grown, conventionally, on the surface of the epitaxially grown monocrystalline intrinsic collector 4. This silicon dioxide growth is also carried out over the entire wafer, and especially over the collector well 60. This oxide also forms the gate oxide for the complementary insulated-gate field-effect transistors (CMOS transistors) produced together with the bipolar transistors on the same wafer (BiCMOS or bipolar CMOS technology).

Next, a layer 17 of polycrystalline silicon, having a thickness of the order of 500 Å, is deposited on the semiconductor block thus formed.

A window 70, called "base window" is then etched by plasma etching, stopping on the oxide layer 6.

If lateral isolation of the shallow-trench type is used, the two parts of the etched silicon layer 17 extend slightly on top of the intrinsic collector 4. If lateral isolation of the "LOCOS" type is used, the etching window 170 may be wider than the intrinsic collector 4.

Next (Figure 2), the oxide layer 6 located above the connector undergoes chemical deoxidation. It should be noted here that one of the functions of the polycrystalline silicon layer 17 is that of protecting, during this chemical deoxidation, the rest of the wafer and especially the lateral isolation zones when these are produced by shallow trenches.

Next, after a desorption treatment of the base window with hydrogen at a temperature greater than 600°C, a stack 8 of three layers 80, 81 and 82 is grown epitaxially, within which layers the future base of the transistor will be produced. More specifically, a first layer 80, of undoped silicon, is grown epitaxially to a thickness of a few tens of nanometers. The second layer 81 formed from silicon-germanium is then growth epitaxially. It is in fact composed of a first sublayer of $\text{Si}_{1-x}\text{Ge}_x$ with x constant and ranging from 0.1 to 0.2,

on which a second sublayer, also formed from an $\text{Si}_{1-x}\text{Ge}_x$ alloy (with x for example decreasing down to 0) and p-doped with boron, is deposited. The total thickness of the layer 81 is very small, typically from 20 to 100 nm.

A layer 82, having a thickness of a few tens of nanometers, of silicon, p-doped using boron, is then grown epitaxially on the second sublayer of the layer 81.

After this epitaxy, typically carried out at 700°C in an ultra clean CVD deposition reactor, a stack of monocrystalline layers, on the intrinsic collector in the base window, and of polycrystalline layers above the polycrystalline silicon layers 17 is obtained. This multilayer stack must allow a base with a silicon-germanium heterojunction to be formed.

It should be noted here that the epitaxy for producing the base with a heterojunction is non-selective epitaxy.

However, the invention also applies to any type of base, whether made of silicon or silicon-germanium, and whatever its method of production, whether by selective or non-selective epitaxy, or for example by implantation directly in the collector.

It should also be noted here that the presence of the polycrystalline silicon layer 17 makes it possible to present, at the start of epitaxy, a surface essentially formed from silicon, thereby making it possible to achieve a substantially identical growth rate on the intrinsic collector and the polycrystalline silicon, resulting in better homogeneity in the thickness of the base.

Next, a first insulating sublayer 9, of silicon dioxide, having a thickness of the order of 200 Å is deposited on the layer 81.

A second insulating sublayer 10, of silicon nitride (Si_3N_4), having a thickness of the order of 300 Å is deposited on the silicon dioxide first sublayer 9.

The production of the emitter window and of the extrinsic base will now be described with reference more particularly to Figures 3 to 8.

For the purpose of simplification and for the sake of clarity, Figures 3 to 8 show only that part of the transistor which is located above the base window 170 provided above the intrinsic collector 4.

A so-called "sacrificial layer" 11, formed here from polysilicon and having, for example, a thickness of the order of 2000 Å, is deposited on the nitride sublayer 10.

A cavity 110 is then defined in the sacrificial layer 11 by conventional photolithography, using a photolithography mask. Next, the polysilicon is etched, stopping on the sublayer 10, so as to form the said cavity 110 (Figure 4).

Next, a conformal coating of oxide, for example silicon dioxide SiO_2 , is deposited on the block illustrated in Figure 4 and then, conventionally and in a manner known per se, insulating lateral zones or spacers 12 are formed, these bearing both on the nitride sublayer 10 and on the internal side walls of the cavity 110 in the sacrificial layer 11. These spacers 12 are formed especially by whole-wafer resinless anisotropic etching.

The separation f (Figure 5) between the spacers 12 defines the width of the emitter window.

As will be seen in greater detail below, the implantation of the extrinsic base will take place on either side of the vertical walls FV of the spacers, that is to say at a distance d_p from the external boundaries of the emitter window. This distance d_p is predetermined and specified so as to guarantee that there is no contact between the implanted extrinsic base zones, given their extension after diffusion, and the n^{++} -doped diffused zone lying beneath the emitter window in the base region, this n^{++} zone resulting from the doping of the emitter, as will be explained in greater detail below.

Of course, the distance d_p also takes into account the tolerance limits due to the variations in the process.

Consequently, a person skilled in the art will know how to adjust the value of the dimension d of the cavity 110 as well as the thickness of conformal oxide allowing the spacers 12 to be produced, so as to obtain a desired value for the window f as well as the value specified for the distance d_p .

By way of indication, a value of 0.6 microns may be chosen for the dimension d , this being compatible with the formation of spacers whose width at the bottom, d_p , is about 0.15 microns, resulting in an emitter window having a width of 0.3 to 0.4 microns.

Next (Figure 6), that portion of the insulating nitride sublayer 10 which is located between the spacers 12 is conventionally etched, so as to etch an orifice OF. This etching is selective with respect to the oxide (SiO_2) forming the first insulating sublayer 9.

It should be noted here that no photolithography level was needed to define and etch the orifice OF, which corresponds to the emitter window. Consequently, the vertical walls f_v of the orifice OF are self-aligned with respect to the vertical walls FV of the spacers.

The following step consists in depositing, over the entire assembly illustrated in Figure 6, a thick oxide so as to fill the etched orifice OF as well as the recess located between the spacers 12. This oxide is then planarized using conventional techniques known per se, for example chemical-mechanical polishing, so as to obtain, as illustrated in Figure 7, an oxide block 13 having a narrower, lower part 130, which extends into the insulating sublayer 10, and a wider, upper part 131, which projects beyond the emitter window and rests on the base region 8 via the insulating stack 9, 10.

Next, the sacrificial layer 11 located on either side of the oxide block 13 is etched away. This etching is advantageously isotropic etching, exhibiting high selectivity with respect, on the one hand, to the silicon dioxide SiO_2 forming the oxide block 13 and, on the other hand, to the silicon nitride forming the second sublayer 10. This high selectivity and this great isotropy make it possible, as illustrated in Figure 8, to obtain almost vertical walls FV for the oxide block 13. Such etching may be carried out using a plasma gas comprising a mixture of hydrobromic acid and oxygen, in a volume ratio of approximately 10 (ten times more hydrobromic acid than oxygen) at a pressure greater than 15 mTorr. A selectivity of approximately 200 with respect to silicon dioxide and approximately 10 with respect to silicon nitride is then obtained.

Next, p^+ implantation is carried out on either side of the oxide block 13 so as to form implanted extrinsic base zones 800.

Since only a single photolithography mask was needed to define the vertical walls FV and the emitter window, the extrinsic base implantation is consequently self-aligned with respect to the emitter window.

Consequently, it is not necessary to take into account any alignment tolerance on the photolithography masks for specifying the predetermined distance d_p separating the boundaries of the emitter window from the boundaries of the implanted extrinsic base. Consequently, the tolerance on the distance d_p may be correspondingly reduced, namely by about 0.18 microns, which at the present time represents the minimum alignment tolerance for two photolithography masks.

Next, the oxide block 13 and the subjacent portion of the insulating sublayer 9 are removed so as to obtain the configuration illustrated in Figure 9, in which the structure obtained in its entirety, i.e. beyond the base window, has again been shown. The oxide block 13 may be removed conventionally, and in a manner

known per se, by chemical etching in a bath of hydrofluoric acid.

In order to allow a chemically clean monocrystalline silicon surface to be obtained, that is to say one whose concentration of oxygen atoms is less than 10^{15} cm^{-2} , a chemical deoxidation treatment may also be carried out in the emitter window using a bath of hydrofluoric-based acid diluted to approximately 1% for one minute. Such a chemical deoxidation does not degrade the subjacent monocrystalline silicon surface and consequently does not introduce any crystal defects.

In order to further improve the surface state of the silicon in the emitter window, it is advantageous to carry out a desorption treatment in hydrogen at high temperature (greater than 550°C) so as to remove residual impurities adsorbed on the surface of the silicon during the deoxidation.

Next, the emitter for the transistor is produced in an ultra-clean CVD deposition reactor, for example the one sold by APPLIED MATERIALS under the reference CENTURA HTF.

More specifically, the semiconductor block with the exposed base is exposed, in the emitter window, to a gas mixture consisting of silane and arsine in a non-oxidizing atmosphere, typically under vacuum or in hydrogen.

The CVD deposition conditions are, for example, a flow rate of 10 litres of hydrogen per minute, a flow rate of 0.5 litres of silane per minute and a flow rate of 0.12 cm^3 of arsine per minute, at 630°C and at a pressure of 80 torr.

A person skilled in the art will have noticed that these conditions correspond in fact to the deposition of polysilicon. However, because of the chemically clean nature of the monocrystalline surface of the base exposed in the emitter window, the silicon deposited in this reactor grows epitaxially, that is to say it grows as a monocrystalline layer on the base.

After having obtained a silicon layer with a thickness of the order of 2500 Å, the silicon layer is conventionally etched, using a new photolithography mask and a corresponding block of resin, so as to obtain an emitter 14 comprising, in the emitter window, a lower part 140 surmounted by an upper part 141 wider than the emitter window. This emitter has been deposited *in situ* and is monocrystalline, at least near the interface with the base in the emitter window (Figure 10).

In practice, it has been found that it was monocrystalline near the interface and polycrystalline above the nitride, and had a preferred orientation in the epitaxially grown upper part above the emitter window.

Next, a silicon nitride layer is deposited and etched so as to obtain spacers 120 which include the silicon nitride layer 10 and bear on the vertical walls of the upper region 141 of the emitter and on the silicon dioxide layer 9 (Figure 11).

With the aid of a new mask, the geometry of the base of the transistor is then defined and, after having pre-etched the oxide layer 9, the stack of layers 17 and 8 are etched so as to obtain the configuration illustrated in Figure 11.

The final step consists in producing the base, emitter and collector connection areas S using a known technique of the "self-aligned silicide" type, which comprises depositing a layer of metal (for example titanium) in order to form a silicide, TiSi_2 , on the silicon regions of the extrinsic base, the extrinsic emitter and the extrinsic collector.

The transistor according to the invention, as illustrated in Figure 12, is therefore an NPN vertical bipolar transistor with a silicon-germanium heterojunction, which can be used in a VLSI-type BiCMOS technology. The extrinsic zones are self-aligned with respect to the emitter window.

Moreover, in the method of implementation that has just been described, but which is not limiting, the transistor comprises a monocrystalline emitter directly in contact with the silicon of the upper encapsulation layer 82. However, especially because of the diffusion of the dopants and of the various conventional heat treatments, the emitter-base junction lies within the layer 82. The transistor has, because of the self-alignment of the extrinsic base with respect to the emitter window, a reduced base access resistance. The transistor also has a reduced low-frequency noise, while retaining good static parameters, especially current gain. Its maximum oscillation frequency is optimized and it furthermore has a reduced emitter resistance compared with transistors having a polycrystalline emitter.

4..Brief Description of Drawings

Figures 1 to 12 illustrate schematically one method of implementing the process according to the invention.

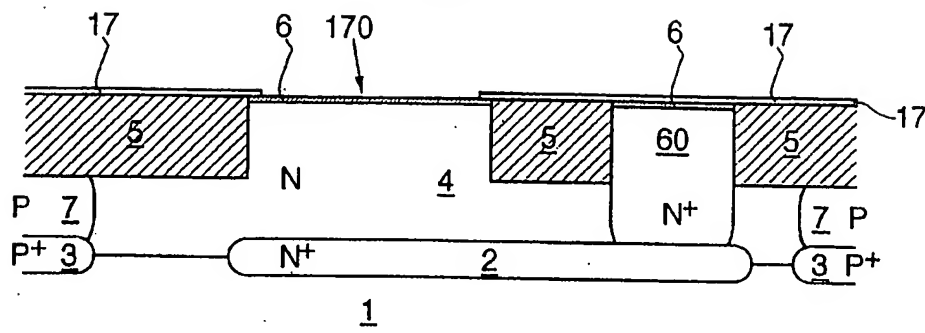
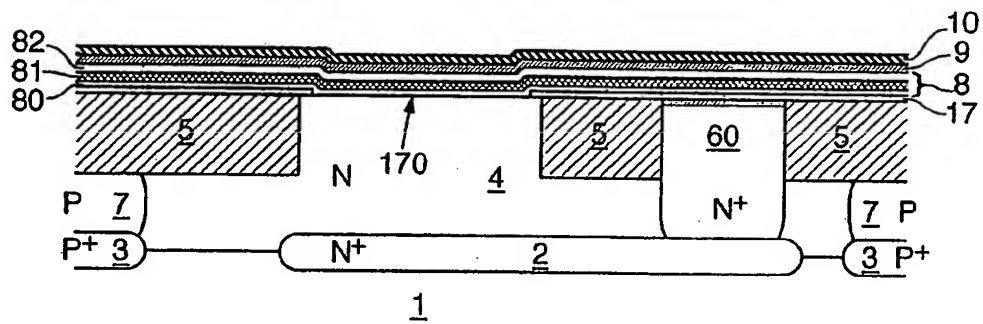
FIG.1FIG.2

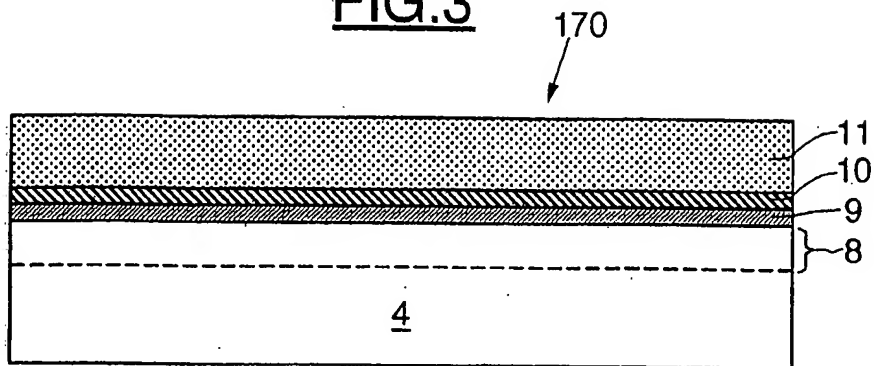
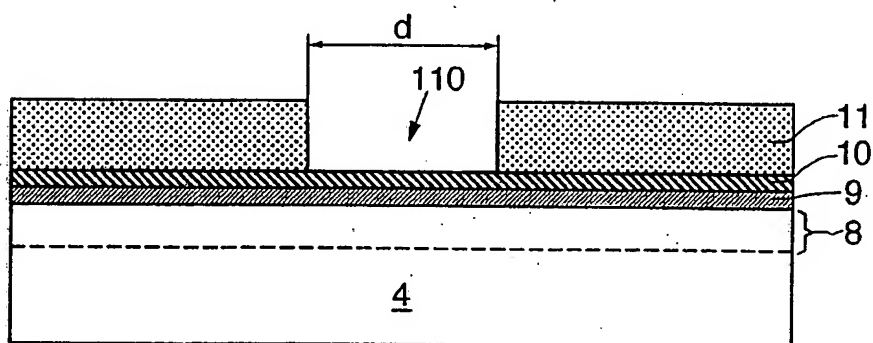
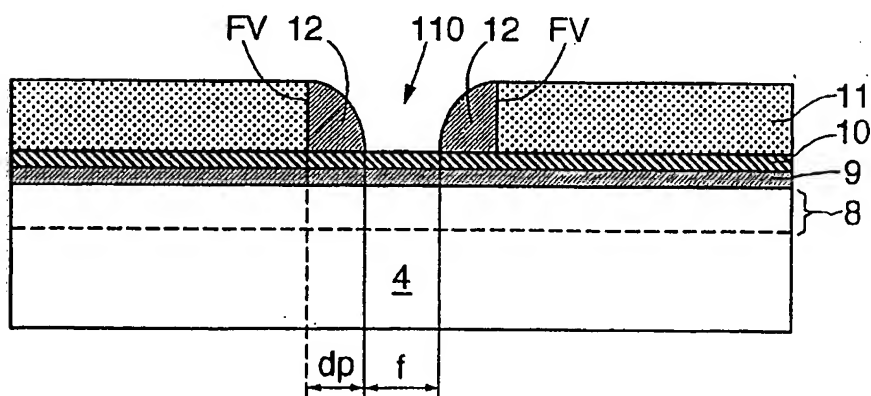
FIG.3**FIG.4****FIG.5**

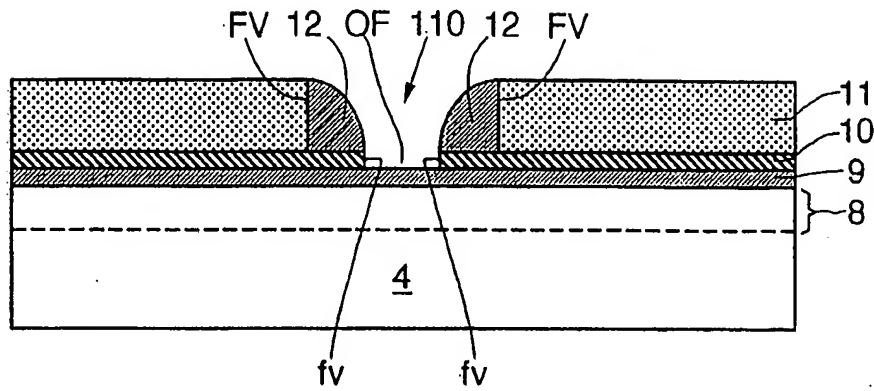
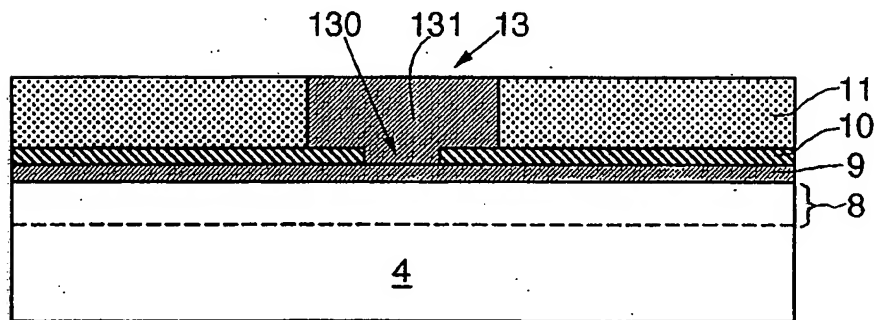
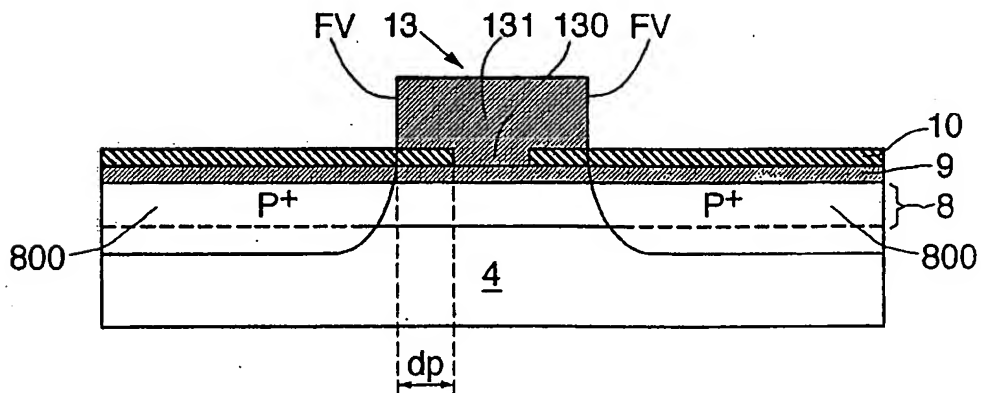
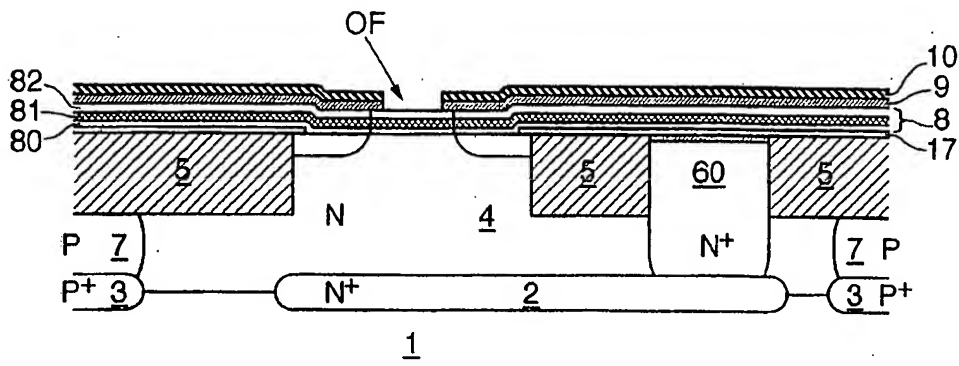
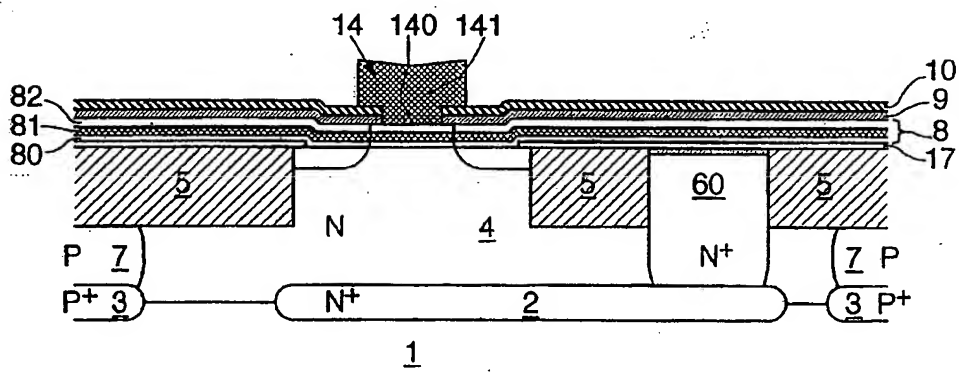
FIG.6**FIG.7****FIG.8**

FIG.9**FIG.10**

[illegible]

A cross-sectional view of a semiconductor device. A central channel (1) is formed in a substrate (2) of N+ type. The channel is flanked by side gates (3) of P+ type. The side gates are separated by a central region (4) of N+ type. The side gates are covered by a layer (5) of SiO₂. The central region (4) is covered by a layer (6) of SiO₂. The side gates (3) are covered by a layer (7) of SiO₂. The side gates (3) are connected to a common terminal (P+). The central region (4) is connected to a common terminal (N+). The side gates (3) are connected to a common terminal (P+). The central region (4) is connected to a common terminal (N+). The side gates (3) are connected to a common terminal (P+). The central region (4) is connected to a common terminal (N+).

1. Abstract

The fabrication process comprises a phase of producing a base region 8 having an extrinsic base 800 and an intrinsic base, and a phase of producing an emitter region comprising an emitter block having a narrower lower part located in an emitter window provided above the intrinsic base. Production of the extrinsic base comprises implantation of dopants 800, carried out after the emitter window has been defined, on either side of and at a predetermined distance d_p from the lateral boundaries of the emitter window, so as to be self-aligned with respect to this emitter window, and before the emitter block is formed.

2. Representative drawing

Fig. 8